

## NON-VOLATILE MEMORY DEVICE

Patent Number: JP58215794  
Publication date: 1983-12-15  
Inventor(s): TANAKA NORIYUKI  
Applicant(s): TOKYO SHIBAURA DENKI KK  
Requested Patent: ☐ JP58215794  
Application Number: JP19820098307 19820608  
Priority Number(s):  
IPC Classification: G11C17/00; H01L27/10; H01L29/78  
EC Classification:  
Equivalents: JP1859832C, JP5052000B

### Abstract

**PURPOSE:** To decrease the number of times of replacement of a memory and to improve the reliability, by splitting a non-volatile memory having a storage capacity of plural times of that of a system to each block and providing an exclusive location of the number of times of write for each unit block.

**CONSTITUTION:** A storage area of an EEPROM having a capacity  $\geq 2$  times the capacity requested to the system is splitted to blocks 1 and 2, and the direction of split is taken in the direction of word arrangement. Exclusive locations 3, 4 to store the number of times of program write to the corresponding memory are allocated to the blocks 1, 2 respectively, and the number of bits of each location corresponds to the limit value of the number of times of program write of the corresponding memory. When the number of times of program write of the block 1 reaches a specified value, the block is used switchingly. Whether or not the number of times of write reaches the specified value is discriminated with a count value stored to the locations 3, 4.

Data supplied from the esp@cenet database - l2

## ⑫ 特許公報(B2)

平5-52000

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭公告 平成5年(1993)8月4日

G 11 C 16/06  
29/00

3 0 1 A

9288-5L  
9191-5L

G 11 C 17/00

3 0 9 Z

発明の数 1 (全5頁)

⑮発明の名称 不揮発性メモリ装置

審判 平4-7608

⑯特 願 昭57-98307

⑰公 開 昭58-215794

⑱出 願 昭57(1982)6月8日

⑲昭58(1983)12月15日

⑳発 明 者 田 中 宣 幸 東京都青梅市末広町二丁目9番地 東京芝浦電気株式会社  
青梅工場内

㉑出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉒代 理 人 弁 理 士 佐 藤 一 雄 外 2 名

審判の合議体 審判長 本 多 弘 徳 審判官 荻 果 誠 審判官 吉 岡 浩

㉓参 考 文 献 特開 昭56-71897 (JP, A) 特開 昭56-71885 (JP, A)

特開 昭58-60490 (JP, A) 特開 昭56-37893 (JP, A)

1

2

## ㉔特許請求の範囲

1 電氣的にプログラム可能な不揮発性メモリ装置において、

前記不揮発性メモリの記憶エリアを分割した複数の記憶容量単位ブロックと、

前記単位ブロックにRAMのデータを書き換える手段と、

前記不揮発性メモリ内部及び前記RAM内部に設けられ、前記各単位ブロック毎に当該単位ブロックへの書き換え回数を所定位置に記憶する書き換え回数記憶部と、

前記書き換え回数記憶部毎に任意の書き換え回数を設定する手段と、

前記不揮発性メモリのある単位ブロックの前記書き換え回数が設定された前記書き換え回数に達した時、他の単位ブロックに順次切替える手段とを具備したことを特徴とする不揮発性メモリ装置。

2 前記不揮発性メモリの一のブロックに所定データを格納する時、他の未使用ブロックに零をストアする手段とを具備したことを特徴とする請求項1記載の不揮発性メモリ装置。

## 発明の詳細な説明

〔発明の技術分野〕

本発明は不揮発性メモリ装置、特に電氣的にプ

ログラム可能な半導体不揮発性メモリ装置に関する。

〔発明の技術的背景とその問題点〕

半導体不揮発性メモリはMOS形FETを利用して蓄積電荷の量により2値情報を記憶させるようにしたもので、電源電圧を印加しなくても記憶内容を保持できるという特徴を有する。

かかる不揮発性メモリには種々のものがあるが、今までのところ、いわゆるUV-EPROM (Ultra Violet - Erasable &amp; Programable ROM) が多く使用されている。このUV-EPROMは記憶内容を消去するのに紫外線を照射して行うものであるが、書き換え、消去に際しては回路から取外さなければならないという不都合がある。

そこで最近脚光を浴びているのがEEPROM (Electrically Erasable &amp; Programable ROM) である。このEEPROMは実装の状態のまま別途設けた書き換え、消去装置により自由に消去書き換えを行うことができるという長所を有しているため、記憶内容の変更が頻発するようなシステム、例えば金銭登録機などには最適である。

一方、EEPROMは通常スタティックRAMと組み合わせて構成される不揮発性RAMにも用いられる。この不揮発性RAMは同容量のスタテ

5

そこで、本発明は不揮発性メモリの交換回数を極力減少し、信頼性を向上しうるメモリ装置を提供することを目的とする。

#### 【発明の概要】

上記目的を達成するために、本発明によるメモリ装置は、不揮発性メモリの記憶エリアを分割した複数の記憶容量単位ブロックと、前記単位ブロックにRAMのデータを書き換える手段と、前記不揮発性メモリ内部及び前記RAM内部に設けられ、前記各単位ブロック毎に当該単位ブロックへの書き換え回数を所定位置に記憶する書き換え回数記憶部と、前記書き換え回数記憶部毎に任意の書き換え回数を設定する手段と、前記不揮発性メモリのある単位ブロックの前記書き換え回数が設定された前記書き換え回数に達した時、他の単位ブロックに順次切替える手段とを具備したことを特徴としている。

#### 【発明の効果】

かかる構成を有する本発明によれば、プログラム書き換え回数が限定回数に達するごとにメモリチップを交換する必要がなく、また各書き換え回数記憶部により限定回数を知ることができるので記憶内容を消失するようなことがなく信頼性を確保しうる。

#### 【発明の実施例】

以下、本発明を図示する実施例に基づいて詳述する。

まず、前提として、最近の半導体メモリはEEPROMに限らず、1チップ当りの容量が急激に増加してきており、チップ当りの価格は量産レベルではチップ当りの記憶容量に比例するものではなく、小容量でも大容量でもチップ当りの単価はさほど大きな差はない。したがって、システムに必要とされる容量よりも入手できるEEPROMの1チップ当りの容量がはるかに大きなことはよくあることである。そこで、このような余った容量を有効に利用することを可能としたものである。

第2図はシステムに要求される容量の2倍以上の容量を有するEEPROMを用いた場合の例である。記憶エリアは第1のブロック1と第2のブロック2とに分割されている。分割方向は語方向に2分割とする。したがって、単位ブロックである第1のブロック1、第2のブロック2はそれぞれ

6

システムに要求される単位容量以上の容量を有している。

第1、第2のブロック1、2にはそれぞれ当該メモリに対するプログラム書き換え回数を格納しておくための書き換え回数記憶部3、4が割当てられている。書き換え回数記憶部3、4のビット数は当該メモリのプログラム書き換え回数の限度値に対応する数とし、対応するメモリセルを割当てて書き換え回数記憶部3、4をそれぞれ構成する。

次に動作を説明する。まず、要約すれば、最初に第1のブロック1を用い、そのプログラム書き換え回数が規定値に達すると、切換えて第2のブロック2を使用する。第2のブロック2のプログラム書き換え回数が規定値に達すると、当該EEPROMは交換しなければならない。

プログラム書き換え回数が規定値に達したか否かは書き換え回数記憶部3、4に格納されたカウント値により知ることができる。すなわち、予め書き換え回数記憶部3に初期値（例えば“0”）をセットしておく。それ以後、第1ブロック1へのプログラムの書き換えが発生するごとに書き換え回数記憶部2を讀出してその格納値を1インクリメントし、その値を再び書き換え回数記憶部3に格納する。次いで、書き換え回数記憶部3以外の記憶エリアにプログラムを書込む。なお、インクリメント動作を先にするか、書き換えを先にするかは設計上の問題である。

ところで、EEPROMには1語単位で消去、書き換え（つまり、内容変更）が可能な第1のタイプと、消去は全語でしかできず書き換えのみ1語単位に可能な第2のタイプとがある。

第1のタイプのEEPROMの場合、例えば第1のブロック1の使用における未使用領域である第2のブロック2は1語単位で内容変更できるため全く劣化されない。したがって、例えば当該EEPROMに規定されるプログラム回数が5000回とすると、第1のブロック1で5000回、第2のブロック2で5000回の合計10000回のプログラム変更が可能となる。

第2のタイプのEEPROMの場合、書き換え時においては1語単位で行われるため劣化は生じないが、消去時には全語（すなわち、第1、第2の両ブロック1、2同時に）行われるため、未使用

9

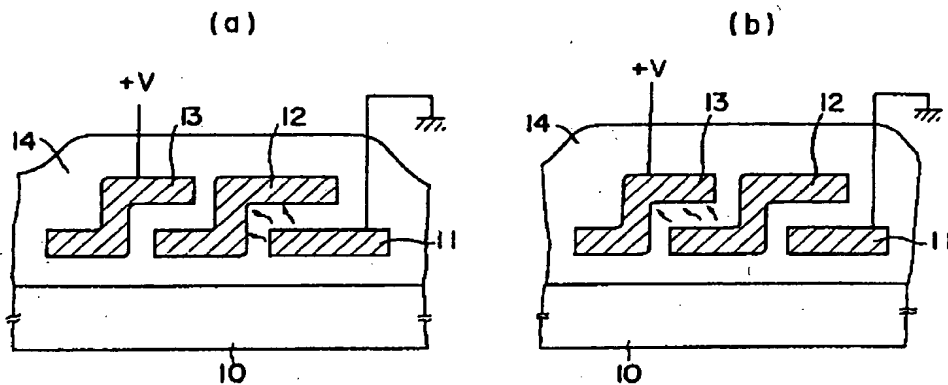
10

は消去状態を示す図、第2図は本発明によるメモリ装置の実施例を示すブロック図、第3図は他の実施例を示すブロック図である。

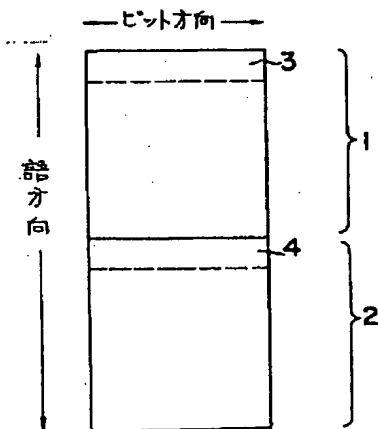
1……第1のブロック、2……第2のブロック、3……書き換え回数記憶部、4……書き換え

回数記憶部、5……RAM、6……第1のブロック、7……第2のブロック、8……書き換え回数記憶部、9……書き換え回数記憶部。

第 1 図



第 2 図



第 3 図

